클럭, 트리거, master-slave 플립플롭에 대한 설명을 맡은 김나현입니다. 발표를 시작하겠습니다.

우선, 클럭 신호에 대한 설명입니다. 클럭 신호란 참을 뜻하는 논리상태 High와 거짓을 뜻하는 논리상태 Low가 주기적으로 나타나는 사각파 신호를 의미합니다. 순차 논리 회로에서 clock 신호는 동기화를 위해 사용되고, 이러한 논리 회로를 synchronous digital circuit(싱크로너스 디지털 서킷), 동기 논리 회로라고 합니다. 그림과 같은 클럭 신호에서 T를 한 사이클의 길이를 의미하는 주기, clock period(클럭 피리오드)라고 하면, 주기 T의 역수를 통해 clock 신호의 주파수를 구할 수 있습니다. 예를 들어, clock의 주기 T가 5 nsec(나노 세컨드)일 때, 이 clock의 주파수 f는 T의 역수인 200 MHz(메가 헤르츠)라는 것을 알 수 있습니다. 클럭 펄스에서는 한 주기 동안 논리 상태 High가 지속되는 시간을 비율로 구한 것을 duty cycle이라고 하고, 일반적으로 논리 회로의 동기화에 사용되는 clock 신호는 duty cycle이 50 % 이하인 구형파 펄스입니다. 클럭 신호가 논리 상태 low에서 논리 상태 high로 전환되는 지점을 상승 엣지, 영어로 rising(leading) edge나 positive edge라고 하고, 거꾸로 논리 상태 high에서 논리 상태 low로 전환되는 지점을 하강 엣지, 영어로 falling(trailing) edge나 negative edge라고 부릅니다.

트리거에 대한 설명입니다. 트리거는 상태 변화를 촉발하는 기동 신호를 의미하고, 트리거는 크게 level 트리거와 edge 트리거로 구분됩니다. Level 트리거는 논리 상태가 High이거나 Low일 때 입력 데이터를 받아들여 상태 변화를 촉발하는 것이고 edge 트리거는 클럭의 에지에서만 입력 데이터를 받아들여 상태 변화를 촉발하는 것을 의미합니다. 앞서 설명한 플립플롭의 경우, edge trigger에 의해 상태 변화가 촉발되고 clocked 래치의 경우, level trigger에 의해 상태 변화가 촉발된다는 차이가 있습니다. Level 트리거 중 논리 상태가 High일 때를 트리거로 인식하는 것을 positive level 트리거라고 하며 반대로 논리 상태가 Low일 때를 트리거로 인식하는 것을 negative level 트리거라고 합니다. 또한 Edge 트리거 중 상승 에지를 트리거로 인식하는 것을 상승 에지 트리거라고 하며 반대로 하강 에지를 트리거로 인식하는 것을 하강 에지 트리거라고 합니다.

다음 그림은 level 트리거와 edge 트리거의 기호입니다. 위, 아래 사진을 비교해보면 edge 트리거는 level 트리거와 구분하기 위해 clock 신호가 들어오는 입력 단자에 삼각형을 그려 나타내고, 오른쪽, 왼쪽 사진을 비교해보면 negative level 트리거나 하강 에지 트리거는 positive level 트리거와 상승 에지 트리거와 구분하기 위해 동그라미를 그려서 나타냅니다.

다음은 Master-Slave 플립플롭에 대한 설명입니다. Master-slave 플립플롭은 직렬로 연결된 두 개의 플립플롭 조합을 의미하며 두 개의 플립플롭 중 하나는 Master 플립플롭으로 동작하며, 다른 하나는 Slave 플립플롭으로 동작하게 됩니다. 두 개의 플립플롭은 서로 상보적인 clock 펄스에 연결되므로 한 개의 플립플롭이 활성화되면 다른 플립플롭은 비활성화됩니다.

다음 그림은 Master-Slave 플립플롭의 예시입니다. 그림을 통해 RS 플립플롭을 이용해 구현한 RS Master-Slave 플립플롭과 JK 플립플롭을 이용하여 구현한 JK Master-Slave 플립플롭이 존재하다는 것을 알 수 있습니다.

이상으로 6조의 발표를 마치겠습니다. 감사합니다.